

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **07235920**(43)Date of publication of application: **05.09.1995**

(51)Int.Cl.

H04L 7/08
H04J 3/06
H04L 1/00
H04L 7/10

(21)Application number: **06049831**

(71)Applicant:

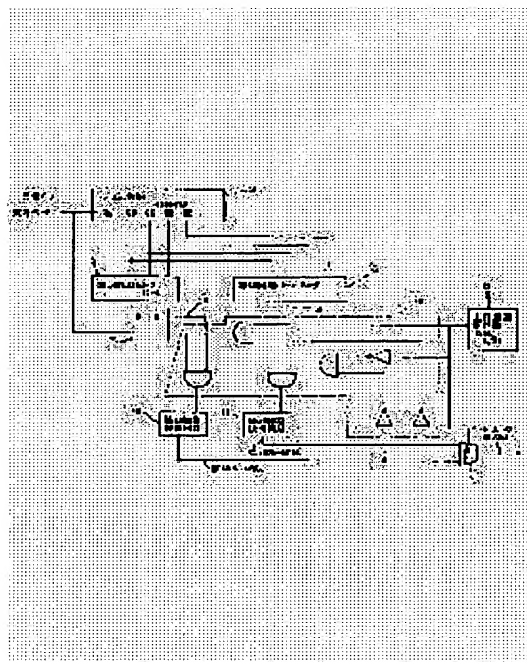
TOYO COMMUN EQUIP CO LTD(22)Date of filing: **23.02.1994**

(72)Inventor:

ITO TSUKASA**(54) FRAME SYNCHRONIZING CIRCUIT****(57)Abstract:**

PURPOSE: To extremely improve the probability of return from a pseudo synchronization by masking a secondary synchronization circuit against the synchronizing pulse set at a position where a main synchronization circuit is synchronized.

CONSTITUTION: The received data and a received clock are inputted to a frame storing register 3, a synchronization pattern retrieving signal is inputted to the 1st and 2nd synchronization pattern decoders 5 and 6 from the register 3 with a delay secured by one bit. The output of the decoder 5 is delayed by a delay circuit 7 by a degree equal to a single received clock and activates both signals A and B at a time. When the decoder 5 detects a synchronization pattern based on the selection signal sent from a main synchronization selecting circuit 8, and the synchronizing conditions are satisfied by a 1st synchronization detecting circuit 10 of a main synchronization circuit and a frame pulse is outputted, this frame pulse is selected by a selector 4 and outputted. Meanwhile a secondary synchronization circuit (2nd synchronization detecting circuit 11) masks the circuit 11 (secondary circuit) by a masking logic circuit 9 after the synchronization of the main synchronization circuit is fixed. Therefore the frame pulse positions different from that of the main synchronization circuit are always retrieved.

**LEGAL STATUS**

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235920

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 7/08	A			
H 0 4 J 3/06	A	8226-5K		
H 0 4 L 1/00	D	9371-5K		
7/10				

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号 特願平6-49831

(22) 出願日 平成6年(1994)2月23日

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 伊藤 司

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

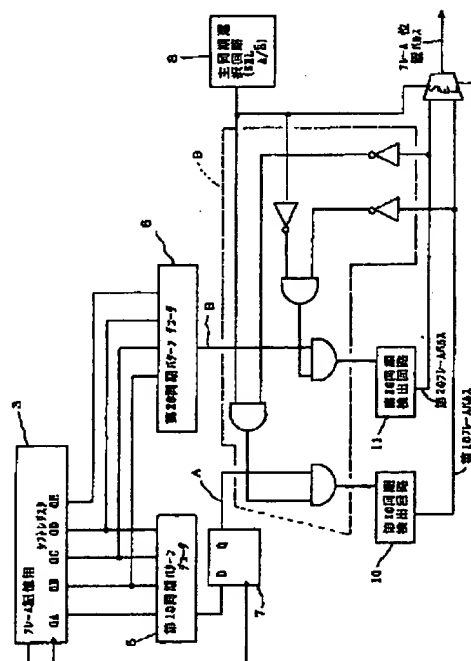
(74) 代理人 弁理士 鈴木 均

(54) 【発明の名称】 フレーム同期回路

(57) 【要約】

【目的】 擬似同期からの復帰の確率を著しく向上させることができるフレーム同期回路を提供する。

【構成】 送られてくるフレームビットの位置を検出するため2つの同期検出回路を有し、一方を主同期回路とし、他方を副同期回路とし、主同期回路が擬似同期した場合に上記主同期回路と副同期回路を切り替えて使用するフレーム同期回路であって、上記主同期回路が同期している位置の同期パルスに対し上記副同期回路をマスクするマスク手段を具備した構成となっている。



【特許請求の範囲】

【請求項1】 送られてくるフレームビットの位置を検出するため2つの同期検出回路を有し、一方を主同期回路とし、他方を副同期回路とし、主同期回路が擬似同期した場合に上記主同期回路と副同期回路を切り替えて使用するフレーム同期回路であって、上記主同期回路が同期している位置の同期パルスに対し上記副同期回路をマスクするマスク手段を具備したことを特徴とするフレーム同期回路。

【請求項2】 上記マスク手段により、上記主同期回路で検出している同期位置では上記副同期回路は同期を取らない様にされることを特徴とする請求項1に記載のフレーム同期回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、集中もしくは離散して挿入されてくるフレームビットの位置を検出するため2つの同期検出回路を有し、一方を主同期回路とし、他方を副同期回路とし、主同期回路が擬似同期した場合に上記主同期回路と副同期回路を切り替えて使用するフレーム同期回路に関し、特に、擬似同期からの復帰の確率を著しく向上させることができるフレーム同期回路に関する。

【0002】

【従来技術】 一般に、集中もしくは離散して挿入されてくるフレームビットの位置を検出し、それによってフレーム同期を確立するフレーム同期回路が知られている。この従来のフレーム同期回路においては、同期引込み課程では数ビットの検出の数回連続一致で同期確立と判定するため擬似同期の可能性を持っている。そこで、同期確立後は何らかの誤り検出方法（例えばCRC、パリティ）を用いて状態監視を行い、その誤りによって擬似同期を判定し、同期状態を維持しつつ、同期パターンを再検出する副同期回路の必要性がある。

【0003】 しかしながら、従来この種のフレーム同期回路の構成は、図2に示す様に、2つの同一の第1および第2の同期検出回路1、2を持ち、上記第1および第2の同期検出回路1、2が、受信データおよび受信クロックを入力したフレーム記憶用シフトレジスタ3よりの同期パターン検索信号を入力し、それぞれ第1のフレーム先頭位置信号および第2のフレーム先頭位置信号を出力する。そして、上記第1のフレーム先頭位置信号をセレクト4で選択して、それを元にデータを処理している場合、上記第2の同期検出回路2が副同期検出用に使用され、上記第1の同期検出回路1が擬似同期して上記第2の同期検出回路2の情報を元に処理を行う状態に移移した場合は、上記第1の同期検出回路1が副同期用の回路に使用される。すなわち、互いに主同期回路と副同期

回路第1および第2の同期検出回路1、2が独立に動作しており同一の擬似同期パターンに陥る可能性があるという問題があった。そして、同一の擬似同期がかかると前記回路構成では復帰が困難であるか、もしくは正規な同期が得られなかった。特に、上記図2に示す従来のフレーム同期回路においては、動作開始時に上記第1および第2の同期検出回路1、2が同時に同期パターンの検索を開始した時に、同じ位置で同期引込みを起こし易い。

【0005】

【発明の目的】 本発明は、上記事情に鑑みてなされたものであって、擬似同期からの復帰の確率を著しく向上させることができるフレーム同期回路を提供することを目的とする。

【0006】

【発明の概要】 上記目的を達成するため、本発明は、送られてくるフレームビットの位置を検出するため2つの同期検出回路を有し、一方を主同期回路とし、他方を副同期回路とし、主同期回路が擬似同期した場合に上記主同期回路と副同期回路を切り替えて使用するフレーム同期回路において、上記主同期回路が同期している位置の同期パルスに対し上記副同期回路をマスクするマスク手段を具備したことを特徴とする。すなわち、上記マスク手段により、上記主同期回路で検出している同期位置では上記副同期回路は同期を取らない様にされる。

【0007】

【実施例】 以下、本発明を図示した実施例に基づいて説明する。図1は本発明によるフレーム同期回路の一実施例を示す構成図である。図1において、このフレーム同期回路は、1ビット即時シフト方式を用いたnビット同時照合方式（多点監視）のフレーム同期回路であり、受信データおよび受信クロックを入力する5ビットのフレーム記憶用シフトレジスタ3と、上記フレーム記憶用シフトレジスタ3の出力側に接続された第1および第2の同期パターンデコード5、6と、上記第1の同期パターンデコード5の出力側に接続されたクロック遅延回路7と、主同期回路選択信号を出力するための主同期選択回路8と、上記クロック遅延回路7および第2のパターンデコード6および主同期選択回路8の出力側に接続されたマスク用論理回路9と、上記マスク用論理回路9の出力側に接続された第1および第2の同期検出回路10、11と、上記第1および第2の同期検出回路10、11の出力側に接続されたセレクト4とを有している。

【0008】 上記フレーム同期回路においては、フレーム同期パターンは4ビットであり、上記5ビットのフレーム記憶用シフトレジスタ3より上記第1および第2の同期パターンデコード5、6へ1ビットずれて同期パターン検索信号が送られる様になっている。また、上記マスク用論理回路9は、後述する如く、上記主同期選択回

レームパルスに基づいて主同期回路が同期している位置の同期パルスに対し副同期回路をマスクする様になっている。

【0009】次に、上記構成のフレーム同期回路の動作について説明する。まず、受信データおよび受信クロックが上記フレーム記憶用シフトレジスタ3へ入力されると、上記フレーム記憶用シフトレジスタ3より同期パターン検索信号が1ビットずれて上記第1および第2の同期パターンデコード5、6へ送られる。すなわち、上記フレーム記憶用シフトレジスタ3がQA→QB→QC→…とシフトするにした時に同期パターンが来た場合、上記第1の同期パターンデコード5が上記同期パターンを検出した1受信クロック後に、必ず上記第2の同期パターンデコード6が上記同期パターンを検出する様になっている。

【0010】次に、上記第1のパターンデコード5の出力は、上記クロック遅延回路7によって1受信クロック遅延され、図1中の信号A、Bが同時にアクティブされることとなる。

【0011】ここで、上記主同期選択回路8よりの主同期回路選択信号に基づいて上記第1の同期検出回路10側を主同期回路とした場合、上記第1の同期パターンデコード5が同期パターンを検出し、上記第1の同期検出回路10において同期条件が満たされて、第1のフレームパルスが出力されると、その第1のフレームパルスが上記セクタ4に選択され、フレーム位置パルスとして、図示しない受信データ位相合わせ部(ES)等に出力される。一方、副同期回路(第2の同期検出回路11)側では、上記主同期回路(第1の同期検出回路10)で検出している同期位置では同期を取らない様にするため、上記主同期回路の同期確立後、上記マスク用論

理回路9により上記主同期回路が同期している位置の同期パルスが上記第2の同期検出回路(副同期回路)11に届かない様にマスクされる。従って、上記副同期回路は主同期回路とは違うフレームパルス位置を常に検索することとなる。

【0012】なお、上記主同期回路と副同期回路の切り替えは、従来と同様に、主同期回路が疑似同期と判定された時点で、上記主同期選択回路8によって行われる。また、上記切り替えによって、上記第2の同期検出回路11が主同期回路となった場合、今度は、上記マスク用論理回路9により上記主同期回路が同期している位置の同期パルスが上記第1の同期検出回路(副同期回路)10に届かない様にマスクされる。

【0013】

【発明の効果】本発明は、以上説明した様に、主同期回路と副同期回路の交絡をとる事により、副同期回路は主同期回路と同じ同期パターンでは絶対に同期確立しなくなり、疑似同期からの復帰の確率を著しく向上させることができる。

【図面の簡単な説明】

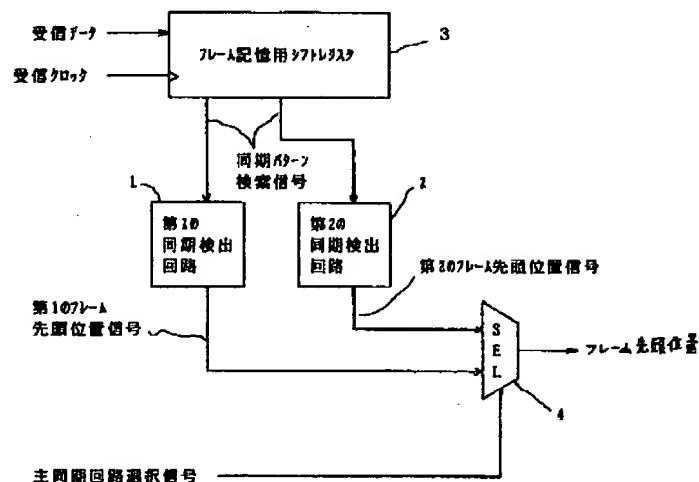
【図1】本発明によるフレーム同期回路の一実施例を示す構成図である。

【図2】従来フレーム同期回路の構成図である。

【符号の説明】

1、10…第1の同期検出回路、2、11…第2の同期検出回路、3…フレーム記憶用シフトレジスタ、4…セクタ、5…第1の同期パターンデコード、6…第2の同期パターンデコード、7…クロック遅延回路、8…主同期選択回路、9…マスク用論理回路、

【図2】



【図1】

